

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-045901

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H01S 3/18

(21)Application number : 05-184814

(71)Applicant : SHARP CORP

(22)Date of filing : 27.07.1993

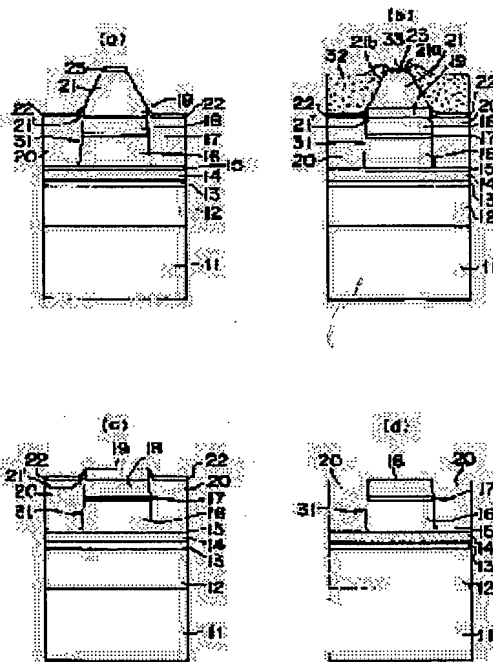
(72)Inventor : HOSODA MASAHIRO
TSUNODA ATSUISA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a manufacture of a semiconductor device which makes it possible to fill both sides of a mesa part with a semiconductor layer and to flatten them completely.

CONSTITUTION: A mesa part 31 is formed on a semiconductor substrate 11 by using a mask layer 19. On both sides of the mesa part 31, a semiconductor layer 20 in a state of a single crystal is made to grow so that the surface thereof forms the same plane as the surface of the mesa part 31. At this time, semiconductor layers 21 and 21' in a polycrystalline state having the same composition as the layer 20 grow on the surface and the lateral sides of the mask layer 19. Mask layers 22 and 23 are made to grow along the indentations of the layers 20, 21 and 21'. A resist opening 33 is formed by conducting photolithography. By using a prescribed etching liquid, the mask layer 23 and the semiconductor layer 21 are removed by etching them selectively in relation to the mask layer 19. By using a prescribed etching liquid, the mask layers 22 and 19 are removed selectively in relation to the semiconductor layers 18 and 20. Thereby the semiconductor layer 21' is removed.



LEGAL STATUS

[Date of request for examination] 11.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2950712

[Date of registration] 09.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45901

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.⁸

H 0 1 S 3/18

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平5-184814

(22) 出願日 平成5年(1993)7月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 細田 昌宏

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 角田 篤男

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

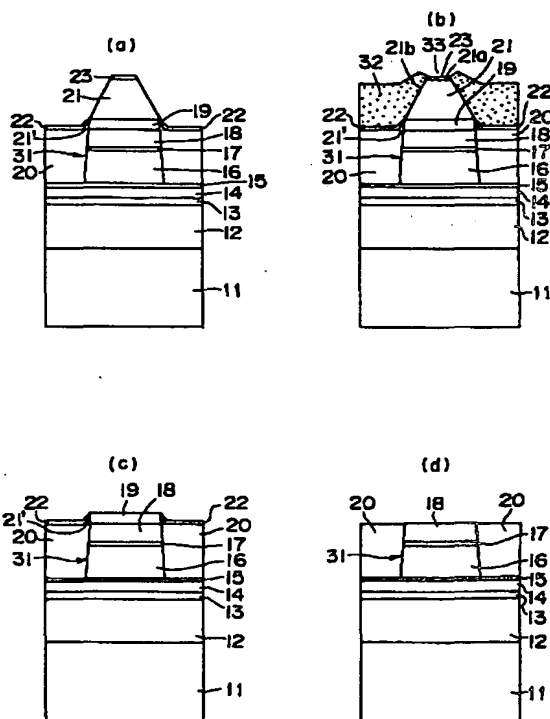
(74) 代理人 弁理士 青山 稔 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 メサ部31の両側に半導体層20で埋め込んで、完全に平坦化できる半導体装置の製造方法を提供する。

【構成】 半導体基板11上に、マスク層19を用いて、メサ部31を形成する。メサ部31の両側に、単結晶状態の半導体層20を、表面がメサ部31の表面と同一平面をなすように成長させる。このとき、マスク層19の表面および側面に、層20と同じ組成を持つ多結晶状態の半導体層21、21'が成長する。マスク層22、23を、層20、21、21'の凹凸に沿って成長させる。フォトリソグラフィを行って、レジスト開口33を形成する。所定のエッチング液を用いて、マスク層23と半導体層21とを、マスク層19に対して選択的にエッチングして除去する。所定のエッチング液を用いて、マスク層22とマスク層19とを半導体層18、20に対して選択的に除去する。これにより、半導体層21'が除去される。



(2)

【特許請求の範囲】

【請求項1】 半導体基板上に、第1の半導体層からなるメサ部を形成するとともに、このメサ部の両側に第2の半導体層を、表面が上記第1の半導体層と同一平面をなすように形成する半導体装置の製造方法であって、半導体基板上に、エピタキシャル成長法により、単結晶状態の第1の半導体層を設ける工程と、

上記第1の半導体層の表面に第1のマスク層を設け、この第1のマスク層を所定のパターンに加工する工程と、上記第1のマスク層をマスクとしてエッチングを行って、上記第1のマスク層の直下に上記第1の半導体層からなるメサ部を形成する工程と、

エピタキシャル成長法により、上記メサ部の両側に、単結晶状態の第2の半導体層を、表面が上記メサ部の表面と同一平面をなすように成長させて、上記第1のマスク層の表面および側面に、上記第2の半導体層と同じ組成を持つ断面凸状の多結晶状態の第3の半導体層の成長が伴う工程と、

エピタキシャル成長法により、上記第2、第3の半導体層の表面に、第2のマスク層を、上記第2、第3の半導体層の凹凸に沿って成長させる工程と、

上記第2のマスク層上にレジストを塗布し、フォトリソグラフィを行って、上記レジストの上記メサ部の頂部に相当する箇所を開口を形成する工程と、

所定のエッチング液を用いて、上記第2のマスク層のうち上記開口に露出した部分と、上記第3の半導体層のうち上記第1のマスク層の表面上の部分とを、上記第1のマスク層に対して選択的にエッチングして除去する工程と、

上記レジストを除去した後、所定のエッチング液を用いて、上記第2のマスク層のうち残っている部分と、第1のマスク層とを上記第1、第2の半導体層に対して選択的に除去して、上記第3の半導体層のうち第1のマスク層の側面に残っている部分の除去が伴う工程と、上記第1の半導体層の表面側、上記基板の裏面側にそれぞれ電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に、第1の半導体層からなるメサ部を形成するとともに、このメサ部の両側に第2の半導体層を、表面が上記第1の半導体層と同一平面をなすように形成する半導体装置の製造方法であって、半導体基板上に、エピタキシャル成長法により、単結晶状態の第1の半導体層を設ける工程と、上記第1の半導体層上に、上記第1の半導体層と組成が異なる半導体からなる第1のマスク層と、この第1の半導体層と組成が異なる半導体からなる第2のマスク層を順に積層する工程と、

フォトリソグラフィおよびエッチングを行って、上記第1、第2のマスク層をパターン加工するとともに、上記第1のマスク層をマスクとして上記第1の半導体層から

なるメサ部を形成する工程と、

所定のエッチング液を用いて、上記第1のマスク層の側部を、上記第2のマスク層および上記第1の半導体層に対して選択的にエッチングして、上記第2のマスク層と上記第1の半導体層との間に隙間を形成する工程と、エピタキシャル成長法により、上記メサ部の両側に、単結晶状態の第2の半導体層を、表面が上記メサ部の表面と同一平面をなすように成長させて、上記第2のマスク層の表面および側面に、上記メサ部から離間した状態で、上記第2の半導体層と同じ組成を持つ断面凸状の単結晶状態の第3の半導体層の成長が伴う工程と、所定のエッチング液を用いて、上記第1のマスク層を、上記第1、第2の半導体層に対して選択的にエッチングして、リフトオフ法により、上記第2のマスク層および第3の半導体層を除去する工程と、上記第1の半導体層の表面側、上記基板の裏面側にそれぞれ電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置の製造方法に関する。より詳しくは、メサ部の両側に電流狭窄層を設けて、素子の半導体層表面を平坦化するようにした屈折率導波型半導体レーザ素子の製造方法に関する。

【0002】

【従来の技術】 近年、光ディスク、光磁気記録ディスクなどの光情報処理システムの記録および読み出し用の光源として、メサ部の両側に電流狭窄層を設けて、素子の半導体層表面を平坦化するようにした屈折率導波型半導体レーザ素子が広く用いられている。

【0003】 従来、この種の屈折率導波型半導体レーザ素子は、次のようにして作製されている。

【0004】 まず、図4(a)に示すように、 $n\text{-GaAs}$ 基板111上に、MBE法（分子線エピタキシャル成長法）により、 $n\text{-(Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層112と、 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 活性層113と、 $p\text{-(Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層114と、 $p\text{-Ga}_{0.5}\text{In}_{0.5}\text{P}$ エッチングストップ層115と、 $p\text{-(Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層116と、 $p\text{-Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間バンドギャップ層117と、 $p\text{-GaAs}$ コンタクト層118を順次積層する。次に、この上に Al_2O_3 膜119を蒸着し、フォトリソグラフィおよびエッチングを行って Al_2O_3 膜119をストライプ状にパターン加工した後、 Al_2O_3 膜119をマスクとして湿式エッチングを行って、コンタクト層118、中間バンドギャップ層117およびクラッド層116のうち Al_2O_3 膜119の両側に相当する部分を除去する。これにより、 Al_2O_3 膜119の直下に、メサ部201を形成する。なお、 $p\text{-(Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層116を除去する時は、 $p\text{-Ga}_{0.5}\text{In}_{0.5}\text{P}$

(3)

3

エッチングストップ層115との選択エッチングを行って、エッチングを確実に停止させる。この後、第2回目のMBE成長を行って、メサ部201の両側にn-GaAs電流狭窄層120を成長させる。この時、Al₂O₃膜119の表面上には、多結晶状態のn-GaAs(n-GaAs多結晶)121が断面凸状に成長する(Al₂O₃膜119の側面にも、楔状のn-GaAs多結晶121'が成長する)。同図(b)に示すように、この上にフォトリソグرافيを行って、n-GaAs多結晶121の箇所を開口203を設ける。これにより、n-GaAs多結晶121の頂部121aを露出させる。次に、同図(c)に示すように、硫酸系エッチング液を用いて、Al₂O₃膜119に対して多結晶GaAs121を選択エッチングして除去する。続いて、フォトリソグرافيをアッシングして除去する。そして、同図(d)に示すように、フッ酸系エッチング液を用いて、Al₂O₃膜119をエッチングして除去する。この後、コンタクト層118の表面側、基板111の裏面側にそれぞれ電極(図示せず)を形成して、作製を完了する。

【0005】

【発明が解決しようとする課題】ところで、図4(a)に示したように、第2回目のMBE成長によって、Al₂O₃膜119上だけでなく、Al₂O₃膜119の側面にもn-GaAs多結晶121'が成長する。上記従来の製造方法では、n-GaAs多結晶121のエッチング終了時にこの部分121'がエッチングされる結果、n-GaAs電流狭窄層120のうちメサ部201の両側に接する部分もエッチングされて、凹み204が生じる。このため、素子表面(半導体層表面)を完全には平坦化できないという問題がある。この凹み204が存在すると、電極の付着状態が悪化し、電極抵抗が増大する。また、この凹み204を通して電極材料が素子内部に拡散して、素子の信頼性に悪影響を及ぼす。さらには、素子動作時に放熱が阻害されるという問題が派生する。

【0006】ここで、Al₂O₃膜119を除去した後、電極を形成する前(図4(d)の状態)に、素子表面上にp-GaAs層を厚く成長させて、凹み204を埋める方法が提案されている。しかし、このようにp-GaAs層を設けた場合、このp-GaAs層の存在によって、むしろ熱放散が悪くなる。また、成長時間が長くなるため、ドーパント拡散が生じる。さらに、工程が複雑となり、製造装置の稼動効率も低下するという不具合が生じる。

【0007】このように、従来は、新たな不具合を生ずることなく凹み204をなくすことができなかった。

【0008】また、上記従来の製造方法は、メサ部201を形成するためのマスクとしてAl₂O₃膜(絶縁膜)119を用いているため、マスク119を蒸着する工程とパターン加工する工程とを特別に設けねばならず、その結果、工数が多くなっているという問題がある。さら

4

に、上記従来の製造方法では、メサ部201上のn-GaAs多結晶121を除去するためにフォトリソグرافيなどの技術を使っているため、工程が複雑となり、工数がさらに多くなっているという問題がある。

【0009】そこで、この発明の目的は、新たな不具合を生ずることなく、素子の半導体層表面を平坦化できる半導体装置の製造方法を提供することにある。また、その上、工程を簡素化して工数を低減できる半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の半導体装置の製造方法は、半導体基板上に、第1の半導体層からなるメサ部を形成するとともに、このメサ部の両側に第2の半導体層を、表面が上記第1の半導体層と同一平面をなすように形成する半導体装置の製造方法であって、半導体基板上に、エピタキシャル成長法により、単結晶状態の第1の半導体層を設ける工程と、上記第1の半導体層の表面に第1のマスク層を設け、この第1のマスク層を所定のパターンに加工する工程と、上記第1のマスク層をマスクとしてエッチングを行って、上記第1のマスク層の直下に上記第1の半導体層からなるメサ部を形成する工程と、エピタキシャル成長法により、上記メサ部の両側に、単結晶状態の第2の半導体層を、表面が上記メサ部の表面と同一平面をなすように成長させて、上記第1のマスク層の表面および側面に、上記第2の半導体層と同じ組成を持つ断面凸状の多結晶状態の第3の半導体層の成長が伴う工程と、エピタキシャル成長法により、上記第2、第3の半導体層の表面に、第2のマスク層を、上記第2、第3の半導体層の凹凸に沿って成長させる工程と、上記第2のマスク層上にレジストを塗布し、フォトリソグرافيを行って、上記レジストの上記メサ部の頂部に相当する箇所に開口を形成する工程と、所定のエッチング液を用いて、上記第2のマスク層のうち上記開口に露出した部分と、上記第3の半導体層のうち上記第1のマスク層の表面上の部分とを、上記第1のマスク層に対して選択的にエッチングして除去する工程と、上記レジストを除去した後、所定のエッチング液を用いて、上記第2のマスク層のうち残っている部分と、第1のマスク層とを上記第1、第2の半導体層に対して選択的に除去して、上記第3の半導体層のうち第1のマスク層の側面に残っている部分の除去が伴う工程と、上記第1の半導体層の表面側、上記基板の裏面側にそれぞれ電極を形成する工程を有することを特徴としている。

【0011】また、請求項2に記載の半導体装置の製造方法は、半導体基板上に、第1の半導体層からなるメサ部を形成するとともに、このメサ部の両側に第2の半導体層を、表面が上記第1の半導体層と同一平面をなすように形成する半導体装置の製造方法であって、半導体基板上に、エピタキシャル成長法により、単結晶状態の第

(4)

5

1の半導体層を設ける工程と、上記第1の半導体層上に、上記第1の半導体層と組成が異なる半導体からなる第1のマスク層と、この第1の半導体層と組成が異なる半導体からなる第2のマスク層を順に積層する工程と、フォトリソグラフィおよびエッチングを行って、上記第1、第2のマスク層をパターン加工するとともに、上記第1のマスク層をマスクとして上記第1の半導体層からなるメサ部を形成する工程と、所定のエッチング液を用いて、上記第1のマスク層の側部を、上記第2のマスク層および上記第1の半導体層に対して選択的にエッチングして、上記第2のマスク層と上記第1の半導体層との間に隙間を形成する工程と、エピタキシャル成長法により、上記メサ部の両側に、単結晶状態の第2の半導体層を、表面が上記メサ部の表面と同一平面をなすように成長させて、上記第2のマスク層の表面および側面に、上記メサ部から離間した状態で、上記第2の半導体層と同じ組成を持つ断面凸状の単結晶状態の第3の半導体層の成長が伴う工程と、所定のエッチング液を用いて、上記第1のマスク層を、上記第1、第2の半導体層に対して選択的にエッチングして、リフトオフ法により、上記第2のマスク層および第3の半導体層を除去する工程と、上記第1の半導体層の表面側、上記基板の裏面側にそれぞれ電極を形成する工程を有することを特徴としている。

【0012】

【作用】請求項1の製造方法では、第2のマスク層のうちレジスト開口に露出した部分と、第3の半導体層のうち第1のマスク層の表面上の部分とを、第1のマスク層に対して選択的にエッチングして除去するとき、第2のマスク層によって、第3の半導体層のうち第1のマスク層の側面を覆う部分が保護される。したがって、メサ部と第2の半導体層との間に凹みが生じることがなく、素子の半導体層表面が平坦に仕上がる。なお、第3の半導体層の上記第1のマスク層の側面を覆う部分が突起状に残るが、この突起状の部分は、次工程で簡単に除去される。すなわち、所定のエッチング液を用いて、上記第2のマスク層のうち残っている部分と、第1のマスク層とを上記第1、第2の半導体層に対して選択的に除去する工程を通して、除去される。

【0013】このように、この製造方法によれば、素子の半導体層表面が平坦化される。しかも、第1の半導体層上に新たに別の厚い半導体層を設ける訳では無いので、熱放散が悪くなったり、ドーパント拡散が生じたりするという不具合は生じない。さらに、上記第2のマスク層は、第2回目のエピタキシャル成長で、第2の半導体層に連続して成長されるので、工程が複雑となったり、製造装置の稼働効率が低下するという不具合も生じない。すなわち、この製造方法によれば、何ら新たな不具合を生じることなく、素子の半導体層表面が平坦化される。

6

【0014】請求項2の製造方法では、第1のマスク層の側部を、第2のマスク層および第1の半導体層に対して選択的にエッチングして、第2のマスク層と第1の半導体層との間に隙間を形成しているの、メサ部（第1の半導体層からなる）の両側に、単結晶状態の第2の半導体層を、表面が上記メサ部の表面と同一平面をなすように成長させたとき、上記第2のマスク層の表面および側面に、上記メサ部から離間した状態で、第2の半導体層と同じ組成を持つ断面凸状の単結晶状態の第3の半導体層が成長する。すなわち、第3の半導体層は、上記メサ部と第2の半導体層がなす平面から離間して成長する。したがって、メサ部と第2の半導体層の表面、すなわち、素子の半導体層表面が平坦に仕上がる。なお、上記第2のマスク層および第3の半導体層は、次工程で簡単に除去される。すなわち、所定のエッチング液を用いて、上記第1のマスク層を、上記第1、第2の半導体層に対して選択的にエッチングして、リフトオフ法により、上記第2のマスク層および第3の半導体層を除去する工程を通して、除去される。

【0015】このように、この製造方法によれば、素子の半導体層表面が平坦化される。しかも、第1の半導体層上に新たに別の厚い半導体層を設ける訳では無いので、熱放散が悪くなったり、ドーパント拡散が生じたりするという不具合は生じない。さらに、上記第1、第2のマスク層は、第1回目のエピタキシャル成長で、第1の半導体層に連続して成長されるので、工程が複雑となったり、製造装置の稼働効率が低下するという不具合も生じない。すなわち、この製造方法によれば、何ら新たな不具合を生じることなく、素子の半導体層表面が平坦化される。

【0016】また、この製造方法は、メサ部61を形成するためのマスクとして、従来の如き Al_2O_3 膜（絶縁膜）を用いるのではなく、半導体層からなる第1、第2のマスク層を用いているので、フォトリソグラフィおよび選択エッチングはメサ部と共通になされ、マスクを蒸着する工程とパターン加工する工程とを特別に設ける必要がない。その結果、従来に比して、工数が低減される。さらに、メサ部上に堆積した第2のマスク層および第3の半導体層は、フォトリソグラフィを行うことなく、リフトオフ法により簡単に除去される。したがって、従来に比して、さらに工数が低減される。

【0017】

【実施例】以下、この発明の半導体レーザ素子の製造方法を実施例により詳細に説明する。

【0018】図1は、第1実施例の屈折率導波型半導体レーザ素子の製造工程を示している。

【0019】①まず、図1(a)に示すように、 $n-GaAs$ 基板11上に、MBE法（分子線エピタキシャル成長法）により、第1の半導体層として、 $n-(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ クラッド層12と、 $Ga_{0.5}In_{0.5}P$ 活

(5)

7

性層13と、 $p-(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ クラッド層14と、 $p-Ga_{0.5}In_{0.5}P$ エッチングストップ層15と、 $p-(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ クラッド層16と、 $p-Ga_{0.5}In_{0.5}P$ 中間バンドギャップ層17と、 $p-GaAs$ コンタクト層18を順次積層する。

【0020】②次に、この上に第1のマスク層としての Al_2O_3 膜19を蒸着し、フォトリソグラフィを行って Al_2O_3 膜19をストライプ状にパターン加工する。この後、 Al_2O_3 膜19をマスクとして湿式エッチングを行って、コンタクト層18、中間バンドギャップ層17およびクラッド層16のうち Al_2O_3 膜19の両側に相当する部分を除去する。これにより、 Al_2O_3 膜19の直下に、メサ部31を形成する。なお、 $p-(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ クラッド層16を除去する時は、 $p-Ga_{0.5}In_{0.5}P$ エッチングストップ層15との選択エッチングを行って、エッチングを確実に停止させる。

【0021】③この後、第2回目のMBE成長を行って、メサ部31の両側に、第2の半導体層としての $n-GaAs$ 電流狭窄層20を成長させる。この時点で、 Al_2O_3 膜19の表面上に、第3の半導体層の一部をなす多結晶状態の $n-GaAs$ ($n-GaAs$ 多結晶) 21が断面凸状に成長するとともに、 Al_2O_3 膜19の側面に、第3の半導体層の残りの部分をなす $n-GaAs$ 多結晶21'が楔状に成長する。ここで、上記 $n-GaAs$ 電流狭窄層20の成長に連続して、さらに第2のマスク層としての $Al_{0.6}Ga_{0.4}As$ 混晶層22を成長させる。この $Al_{0.6}Ga_{0.4}As$ 混晶層22は、 $n-GaAs$ 電流狭窄層20の表面および $n-GaAs$ 多結晶21'の側面を覆う状態に成長する。また、この時点で、 $n-GaAs$ 多結晶21の頂部21aに、多結晶状態の $Al_{0.6}Ga_{0.4}As$ ($Al_{0.6}Ga_{0.4}As$ 多結晶) 23が層状に成長するとともに、 $n-GaAs$ 多結晶21の斜面21bに、図示しない $Al_{0.6}Ga_{0.4}As$ 混晶層が薄く(層厚100~500Å程度)成長する。

【0022】④次に、同図(b)に示すように、この上にフォトレジスト32を塗布し、フォトリソグラフィを行って、 $n-GaAs$ 多結晶21の箇所に開口33を設ける。これにより、 $n-GaAs$ 多結晶21の頂部21aに成長した $Al_{0.6}Ga_{0.4}As$ 多結晶層23を露出させる。

【0023】⑤次に、フッ酸系のエッチング液を用いて、 $Al_{0.6}Ga_{0.4}As$ 混晶層23をエッチングして除去する。 $Al_{0.6}Ga_{0.4}As$ 混晶層23はフッ酸系のエッチング液により容易に除去される一方、 $GaAs$ 多結晶21はフッ酸系エッチング液には浸されない。したがって、 $Al_{0.6}Ga_{0.4}As$ 多結晶23のみを除去することができる。なお、 $Al_{0.6}Ga_{0.4}As$ 多結晶23は、上に述べたように $n-GaAs$ 多結晶21の斜面21bにも存在しており、エッチングが斜面21bに沿って進行する。しかし、 $Al_{0.6}Ga_{0.4}As$ 多結晶23の層厚は、 $n-GaAs$ 多結晶21の層厚1~1.5μmに比して十分薄い

8

で、エッチングは比較的短時間で完了し、エッチング液が $Al_{0.6}Ga_{0.4}As$ 混晶層22まで到達することは無い。

【0024】⑥次に、 $GaAs$ と $AlGaAs$ に対して選択性を有するアンモニア系エッチング液を用いて、 $n-GaAs$ 多結晶21をエッチングして除去する。この時、 Al_2O_3 膜19の表面以外の領域には $Al_{0.6}Ga_{0.4}As$ 混晶層22が残っているため、メサ部31の両側には従来の如き凹みは発生せず、 Al_2O_3 膜19の表面上の $n-GaAs$ 多結晶21のみが除去される。

【0025】⑦この後、同図(c)に示すように、フォトレジスト32をアッシングして除去する。続いて、同図(d)に示すように、フッ酸系エッチング液を用いて、表面に残っている $Al_{0.6}Ga_{0.4}As$ 混晶層22と、 Al_2O_3 膜19とを除去する。 Al_2O_3 膜19とともに、 $n-GaAs$ 多結晶21'も除去される。したがって、素子の半導体層表面を平坦化することができる。

【0026】⑧最後に、コンタクト層18の表面側、基板11の裏面側にそれぞれ電極(図示せず)を形成して、作製を完了する。

【0027】このように、この製造方法によれば、素子の半導体層表面を平坦化することができる。しかも、コンタクト層18上に新たに別の厚い半導体層を設ける訳では無いので、熱放散が悪くなったり、ドーパント拡散が生じたりするという不具合は生じない。さらに、上記 $Al_{0.6}Ga_{0.4}As$ 混晶層22は、第2回目のMBE成長で、 $n-GaAs$ 電流狭窄層20に連続して成長させているので、工程が複雑となったり、製造装置の稼働効率が低下するという不具合も生じない。すなわち、この製造方法によれば、何ら新たな不具合を生じることなく、素子の半導体層表面を平坦化することができる。

【0028】なお、この第1実施例では $AlGaInP$ 系半導体レーザ素子の作製工程を説明したが、これに限られるものではない。この発明は、 $AlGaAs$ 系やII-VI族系などの選択エッチングが可能な結晶の組み合わせの素子に広く適用することができる。

【0029】また、第1回目の成長は、MBE法としたが、何らこれに限定されるものではなく、MOCVD法(有機金属気相成長法)やCBE(ケミカル・ビーム・エピタキシ)法を用いることもできる。

【0030】また、メサ部31形成時のマスクとして従来と同様に Al_2O_3 膜19を用いたが、このマスクは SiO_2 や SiN_x 等の他の絶縁膜でも良い。さらには、 $AlGaAs$ 混晶を用いることも可能である。この場合、この $AlGaAs$ 混晶からなるマスク上に堆積する結晶(不要層)は単結晶となるが、上記製造工程は、不要層が単結晶となることによって何ら影響を受けるものではない。

【0031】図2~図3は、第2実施例の屈折率導波型半導体レーザ素子の製造工程を示している。

【0032】①まず、図2(a)に示すように、 $n-GaAs$

(6)

9

s基板41上に、MBE法により、第1の半導体層として、 $n-(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層42と、 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 活性層43と、 $p-(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層44と、 $p-\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ エッチングストップ層45と、 $p-(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層46と、 $p-\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間バンドギャップ層47と、 $p-\text{GaAs}$ コンタクト層48とを順に積層する。続いて、第1のマスク層としての $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層49と、第2のマスク層としての GaAs キャップ層50を順次積層する。なお、サイドエッチ層49の組成は、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ において $0.4 \leq x \leq 1.0$ であれば良い。

【0033】②次に、フォトリソグラフィを行って、 GaAs キャップ層50の表面にレジスト62をストライプ状に設け、続いて、硫酸系のエッチング液を用いてエッチングを行って、 GaAs キャップ層50、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層49、 $p-\text{GaAs}$ コンタクト層48のうちレジスト62の両側に相当する部分を除去する。なお、 $p-\text{GaAs}$ コンタクト層48を除去するときは、 $p-\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間バンドギャップ層47によってエッチングを確実に停止させることができる。

【0034】③次に、同図(b)に示すように、フッ酸系のエッチング液を用いてエッチングを行って、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層49の幅が3分の1程度になるように、その側部を選択的に除去する。これにより、サイドエッチ層49の両側には隙間δが形成される。

【0035】④次に、同図(c)に示すように、臭素系エッチング液と硫酸系エッチング液とを順に用いて、 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間層47と $p-(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層46とを $p-\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ エッチングストップ層45が露出するまで選択エッチングする。これにより、基板41上に、 $p-(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層46と、 $p-\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間バンドギャップ層47と、 $p-\text{GaAs}$ コンタクト層48とからなるストライプ状のメサ部61を形成する。レジスト62は、この時点で除去する。

【0036】⑤次に、同図(d)に示すように、MBE法により、メサ部61の両側に、第2の半導体層としての $n-\text{GaAs}$ 電流狭窄層51を成長させる。同時に、 GaAs キャップ層50の表面および側面に、第3の半導体層としての $n-\text{GaAs}$ 結晶52が断面凸状に堆積する。この時、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層49の両側に隙間δがあることから、 $n-\text{GaAs}$ 電流狭窄層51と $n-\text{GaAs}$ 結晶52とはつながらず、この結果、メサ部61頂部のコンタクト層48の表面と、その両側の電流狭窄層51の表面とが平坦な同一面となる。

【0037】⑥次に、図3(e)に示すように、フッ酸系のエッチング液を用いて、リフトオフ法により、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層49と、この層49よりも上の GaAs キャップ層50、 $n-\text{GaAs}$ 結晶52とを除去

10

する。上記工程⑤で、メサ部61頂部のコンタクト層48の表面と、電流狭窄層51の表面とが平坦な同一面となっているので、素子の半導体層表面を平坦に仕上げることができる。

【0038】⑦最後に、コンタクト層48の表面側、基板41の裏面側にそれぞれ電極（図示せず）を形成して、作製を完了する。

【0039】このように、この製造方法によれば、素子の半導体層表面を平坦化することができる。しかも、コンタクト層48上に新たに別の厚い半導体層を設ける訳では無いので、熱放散が悪くなったり、ドーパント拡散が生じたりするという不具合は生じない。さらに、この製造方法で新たに設けた $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層49と、 GaAs キャップ層50は、第1回目のMBE成長で、 $p-\text{GaAs}$ コンタクト層48に連続して成長させているので、工程が複雑となったり、製造装置の稼働効率が低下するという不具合も生じない。すなわち、この製造方法によれば、何ら新たな不具合を生じることなく、素子の半導体層表面を平坦化することができる。

【0040】また、この製造方法は、メサ部61を形成するためのマスクとして、従来の如き Al_2O_3 膜（絶縁膜）を用いるのではなく、半導体層 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層49と GaAs キャップ層50を用いているので、半導体層49、50についてのフォトリソグラフィおよび選択エッチングは、メサ部61と共通になされ、マスクを蒸着する工程とパターン加工する工程とを特別に設ける必要がない。この結果、従来に比して、工数を低減することができる。さらに、メサ部61上に堆積した GaAs キャップ層50、 $n-\text{GaAs}$ 結晶52（図2(d)）は、フォトリソグラフィを行うことなく、リフトオフ法により簡単に除去している。したがって、従来に比して、さらに工数を低減することができる。

【0041】なお、この第2実施例では、第1実施例と同様に、 AlGaInP 系半導体レーザ素子の作製工程を説明したが、これに限られるものではない。この発明は、 AlGaAs 系やII-VI族系などの選択エッチングが可能な結晶の組み合わせの素子に広く適用することができる。

【0042】また、この第2実施例では第1回目、第2回目の成長はいずれもMBE法によって行ったが、これに限られるものではない。第1回目、第2回目とも、LPE法（液相エピタキシャル成長法）やMOCVD法によって行うことができる。

【0043】

【発明の効果】以上より明らかなように、請求項1の半導体装置の製造方法によれば、第2のマスク層のうちレジスト開口に露出した部分と、第3の半導体層のうち第1のマスク層の表面上の部分とを、第1のマスク層に対して選択的にエッチングして除去するとき、第2のマスク層によって、第3の半導体層のうち第1のマスク層の

(7)

11

側面を覆う部分が保護される。したがって、メサ部と第2の半導体層との間に凹みが生じることがなく、最終的に素子の半導体層表面が平坦に仕上げることができる。この結果、電極の付着状態を良好にでき、電極抵抗を低減できる。また、電極材料拡散を抑制でき、実装時の密着性を良好にでき、放熱効果を改善できる。したがって、素子特性および信頼性を向上させることができる。しかも、第1の半導体層上に新たに別の厚い半導体層を設ける訳では無いので、熱放散が悪くなったり、ドーパント拡散が生じたりするという不具合は生じない。さらに、上記第2のマスク層は、第2回目のエピタキシャル成長で、第2の半導体層に連続して成長されるので、工程が複雑となったり、製造装置の稼動効率が低下するという不具合も生じない。すなわち、この製造方法によれば、何ら新たな不具合を生じることなく、素子の半導体層表面を平坦化することができる。

【0044】また、請求項2の半導体装置の製造方法によれば、第1のマスク層の側部を、第2のマスク層および第1の半導体層に対して選択的にエッチングして、第2のマスク層と第1の半導体層との間に隙間を形成しているの、メサ部（第1の半導体層からなる）の両側に、単結晶状態の第2の半導体層を、表面が上記メサ部の表面と同一平面をなすように成長させたとき、上記第2のマスク層の表面および側面に、上記メサ部から離間した状態で、第2の半導体層と同じ組成を持つ断面凸状の単結晶状態の第3の半導体層が成長する。すなわち、第3の半導体層は、上記メサ部と第2の半導体層がなす平面から離間して成長する。したがって、最終的に素子の半導体層表面を平坦に仕上げることができる。この結果、電極の付着状態を良好にでき、電極抵抗を低減できる。また、電極材料拡散を抑制でき、実装時の密着性を良好にでき、放熱効果を改善できる。したがって、素子特性および信頼性を向上させることができる。しかも、第1の半導体層上に新たに別の厚い半導体層を設ける訳では無いので、熱放散が悪くなったり、ドーパント拡散が生じたりするという不具合は生じない。さらに、上記第1、第2のマスク層は、第1回目のエピタキシャル成長で、第1の半導体層に連続して成長されるので、工程が複雑となったり、製造装置の稼動効率が低下するという不具合も生じない。すなわち、この製造方法によれば、何ら新たな不具合を生じることなく、素子の半導体

12

層表面を平坦化することができる。また、この製造方法は、メサ部を形成するためのマスクとして、従来の如き Al_2O_3 膜（絶縁膜）を用いるのではなく、半導体層からなる第1、第2のマスク層を用いているので、フォトリソグラフィおよび選択エッチングをメサ部と共通に行うことができ、マスクを蒸着する工程とパターン加工する工程とを特別に設ける必要がない。その結果、従来に比して、工数を低減できる。さらに、メサ部上に堆積した第2のマスク層および第3の半導体層は、フォトリソグラフィを行うことなく、リフトオフ法により簡単に除去することができる。したがって、従来に比して、さらに工数を低減することができる。

【図面の簡単な説明】

【図1】 この発明の第1実施例の屈折率導波型半導体レーザ素子の製造方法を説明する図である。

【図2】 この発明の第2実施例の屈折率導波型半導体レーザ素子の製造方法を説明する図である。

【図3】 この発明の第2実施例の屈折率導波型半導体レーザ素子の製造方法を説明する図である。

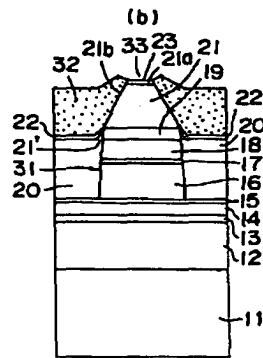
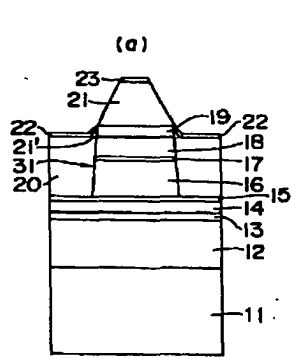
【図4】 従来の屈折率導波型半導体レーザ素子の製造方法を説明する図である。

【符号の説明】

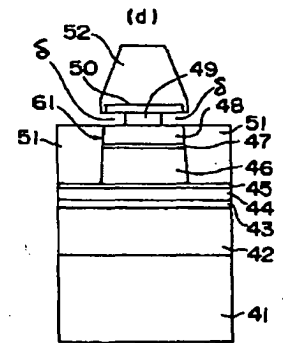
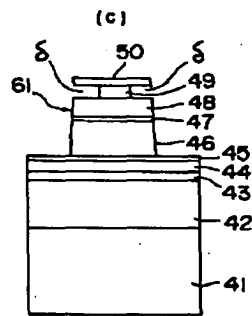
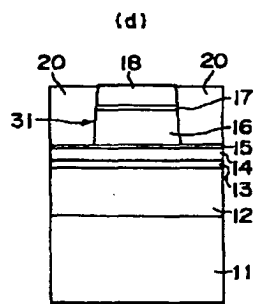
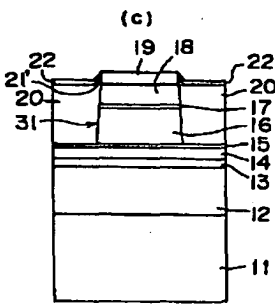
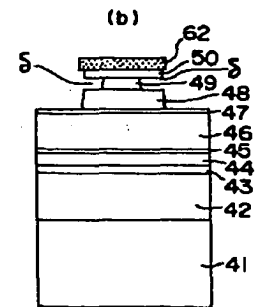
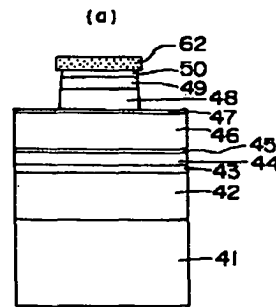
- 11, 41 n-GaAs基板
- 12, 42 n-($\text{Al}_{0.7}\text{Ga}_{0.3}$) $0.5\text{In}_{0.5}\text{P}$ クラッド層
- 13, 43 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 活性層
- 14, 44 p-($\text{Al}_{0.7}\text{Ga}_{0.3}$) $0.5\text{In}_{0.5}\text{P}$ クラッド層
- 15, 45 p- $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ エッチングストップ層
- 16, 46 p-($\text{Al}_{0.7}\text{Ga}_{0.3}$) $0.5\text{In}_{0.5}\text{P}$ クラッド層
- 17, 47 p- $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間バンドギャップ層
- 18, 48 p-GaAsコンタクト層
- 19 Al_2O_3 膜
- 20, 51 n-GaAs電流狭窄層
- 21 n-GaAs多結晶
- 22 $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ 混晶層
- 23 $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ 多結晶
- 31, 61 メサ部
- 40 49 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ サイドエッチ層
- 50 GaAsキャップ層

(8)

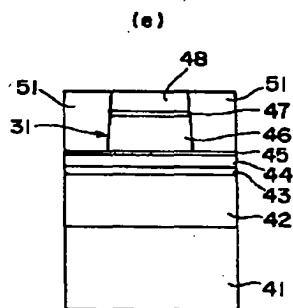
【図1】



【図2】



【図3】



(9)

【図4】

